

CONTROL DEVICE FOR INTERMITTENT OPERATION OF CPU

Patent Number: JP7084666
Publication date: 1995-03-31
Inventor(s): HASHIMOTO MASATO
Applicant(s):: KANSEI CORP
Requested Patent: ☐ JP7084666
Application Number: JP19930226193 19930910
Priority Number(s):
IPC Classification: G06F1/04
EC Classification:
Equivalents:

Abstract

PURPOSE:To highly accurately control the sleeping time of a CPU capable of executing intermittent operation.

CONSTITUTION:In the case of starting the CPU 1 when a counter 4 counts an external clock signal 3 up to x periods in the sleeping state of the CPU 1, the periods of the signal 3 are highly accurately measured by means of a reference clock signal outputted from a reference oscillator 7 in accordance with a timing signal 6. A compensation part 8 compensates the value of (x) based upon the measured value and a required sleeping time. Consequently the sleeping time of the CPU 1 can be accurately held independently of the dispersion of frequency of the signal 3.

Data supplied from the esp@cenet database - l2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-84666

(43) 公開日 平成7年(1995)3月31日

(51) Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 1/04	3 0 1 B			

審査請求 未請求 請求項の数1 OL (全3頁)

(21) 出願番号 特願平5-226193

(22) 出願日 平成5年(1993)9月10日

(71) 出願人 000001476

株式会社カンセイ

埼玉県大宮市日進町2丁目1910番地

(72) 発明者 橋本 正人

埼玉県大宮市日進町2丁目1910番地 株式会社カンセイ内

(74) 代理人 弁理士 田澤 博昭 (外1名)

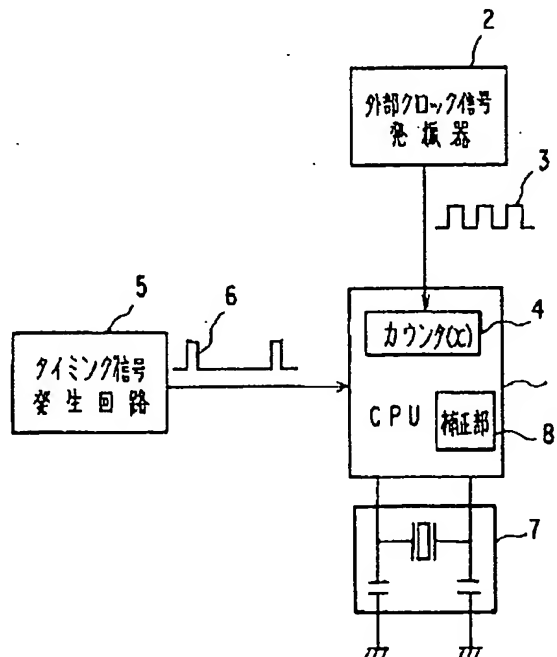
(54) 【発明の名称】 CPUの間欠動作制御装置

(57) 【要約】

【目的】 間欠的な動作を行うCPUのスリープ時間を精度高く制御すること。

【構成】 CPU1のスリープ状態で外部クロック信号3をカウンタ4でxまでカウントしたときCPU1を動作させるものにおいて、タイミング信号6に応じて外部クロック信号3の周期を基準発振器7の基準クロック信号を用いて精度高く計測する。この計測値と所望のスリープ時間とからxの値を補正部8で補正する。

【効果】 外部クロック信号の周波数のばらつきに拘らずCPUのスリープ時間を正確に保持することができる。



【特許請求の範囲】

【請求項1】 CPUの外部から加えられる外部クロック信号を上記CPUに設けたカウンタにより設定値までカウントすることにより、上記CPUのスリープ時間を得るようにしたCPUの間欠動作制御装置において、所定周期を有するタイミング信号を上記CPUに加えるタイミング信号発生回路と、上記タイミング信号発生回路から得られるタイミング信号に応じて上記外部クロック信号の周期を上記CPUの動作に用いられる基準クロック信号を用いて計測し、この計測値と上記スリープ時間とを用いて上記設定値を補正する補正手段とを設けたことを特徴とするCPUの間欠動作制御装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 この発明はCPUを間欠的に動作させるように制御するCPUの間欠動作制御装置に関するものである。

【0002】

【従来の技術】 従来より、CPUを間欠的に動作させて消費電力の低減をはかることが行われている。図3は従来のCPUの間欠動作制御装置を示すブロック図であり、図において、1は間欠動作を行うCPU、2は例えば数100kHzの周波数を有する外部クロック信号3を発振する外部クロック信号発振器、4はCPU1内に設けられ上記外部クロック信号3をカウントするタイマイベント用のカウンタである。

【0003】 次に動作について図4のフローチャートを用いて説明する。ステップST1でバッテリー等の電源を投入した後、ステップST2でカウンタ4に所望のスリープ時間（CPU1の停止時間）Tと対応するxの値を設定する。次にステップST3でCPU1が動作を停止した停止状態（SLEEP状態）であるか否かを調べる。停止状態でない場合はステップST4でCPU1はプログラムに基づいた通常の動作を行う。

【0004】 CPU1が停止状態であればステップST5でカウンタ4により外部クロック信号発振器2から得られる外部クロック信号3のカウントを開始する。そしてステップST6でカウント値がxとなるまでカウントを続け、カウント値がxとなればステップST7でCPU1が起動され動作状態（WAKE UP状態）となる。

【0005】

【発明が解決しようとする課題】 従来のCPUの間欠動作制御装置は上記のように構成されているので、外部クロック信号発振器2がコスト低減のためにコンデンサや抵抗等で構成されている場合は、それらの素子のばらつきや温度変化等により発振周波数が大幅に変化し、このためCPU1の上記スリープ時間Tが変化してしまうことがあった。スリープ時間Tが変化すると、CPU1で制御される制御対象の動作に悪影響を及ぼすことがある

等の問題があった。

【0006】 この発明は上記のような問題を解決するためになされたもので、CPUの停止時間を所定の長さに精度高く保持することのできるCPUの間欠動作制御装置を提供することを目的としている。

【0007】

【課題を解決するための手段】 この発明においては、CPUにタイミング信号を与えるタイミング信号発生回路と、タイミング信号に応じて外部クロック信号の周期をCPUの基準クロック信号を用いて計測し、この計測値とスリープ時間とからカウンタの設定値を補正する補正手段とを設けている。

【0008】

【作用】 外部クロック信号の周期は基準クロック信号により高精度に計測することができるので、この計測値から所望のスリープ時間を得るためのカウンタの設定値xを正確な値に補正することができる。

【0009】

【実施例】 図1にこの発明の実施例によるCPUの間欠動作制御装置を示すブロック図であり、図3と対応する部分には同一符号を付して重複する説明を省略する。図1において、5はCPU1を動作させると共に、外部クロック信号3の周期を計測するためのタイミング信号6を発生するタイミング信号発生回路、7はCPU1の演算処理に必要な基準クロック信号を発振する基準発振器である。この基準発振器7は水晶発振子を用いた発振周波数の精度の高いものが用いられ、例えば数MHzの基準クロック信号を発振する。8はCPU1に設けられ上記xの値を補正する補正手段としての補正部である。

【0010】 次に動作について図2のフローチャートを用いて説明する。図2のフローチャートにおけるステップST1～ST7は図1と同じである。図2において、ステップST2でカウンタ4にxをセットした後、ステップST8でタイミング信号6がLからHになったかを調べ、Lの間中はステップST3～ST7の動作が行われる。タイミング信号6がHになればステップST9に進み、ここでCPU1が動作状態になると共に、外部クロック信号3の周期を基準発振器7の基準クロックを用いて高精度に計測する。ステップST10では補正部8において上記計測値を用いて、カウンタ4でスリープ時間Tをカウントするためのカウント数を算出し、算出されたカウント値でxの値を補正する。

【0011】 以下、ステップST3～ST7の動作が行われるが、このときステップST6では上記補正されたxの値を用いる。この補正されたxの値は次にタイミング信号6がLからHになるまで保持される。以上によれば、常に所望のスリープ時間Tを得るためのxの値を得ることができ、CPU1のスリープ時間Tを高い精度で得ることができる。

【0012】

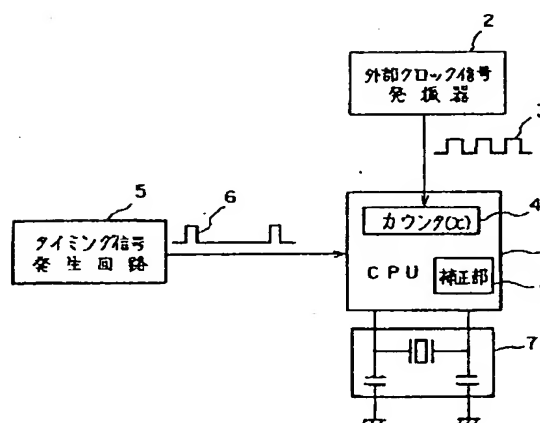
【発明の効果】この発明によれば、タイミング信号に応じて外部クロック信号の周期を基準クロック信号を用いて高精度に計測し、この計測値と所望のスリープ時間とからカウンタの設定値を補正するように構成したので、外部クロック信号のばらつきに拘らず常にCPUのスリープ時間を所定の長さに精度高く保持することができる効果がある。

【図面の簡単な説明】

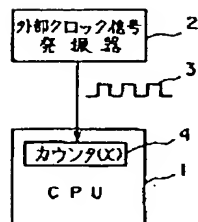
【図1】この発明の一実施例によるCPUの間欠動作制御装置を示すブロック図である。

【図2】同装置の動作を示すフローチャートである。

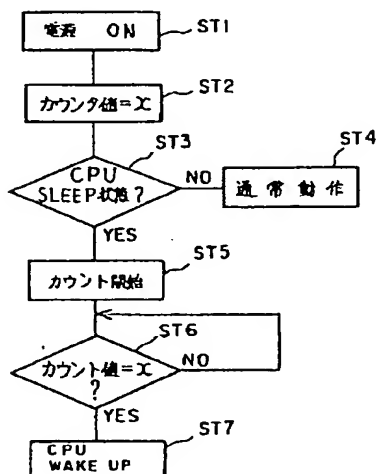
【図1】



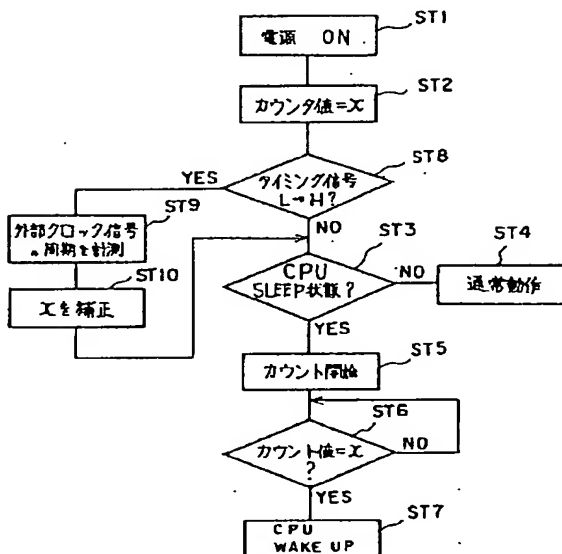
【図3】



【図4】



【図2】



【図3】従来のCPUの間欠動作制御装置を示すブロック図である。

【図4】同装置の動作を示すフローチャートである。

【符号の説明】

- 1 CPU
- 3 外部クロック信号
- 4 カウンタ
- 5 タイミング信号発生回路
- 6 タイミング信号
- 8 補正部（補正手段）